

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10307917 A**(43) Date of publication of application: **17.11.98**

(51) Int. Cl.

G06T 7/00
G01N 21/88(21) Application number: **09119512**(22) Date of filing: **09.05.97**(71) Applicant: **NIPPON AVIONICS CO LTD**(72) Inventor: **IDA TORU**
HATTORI SHINICHI(54) **PATTERN CHECK METHOD AND DEVICE**

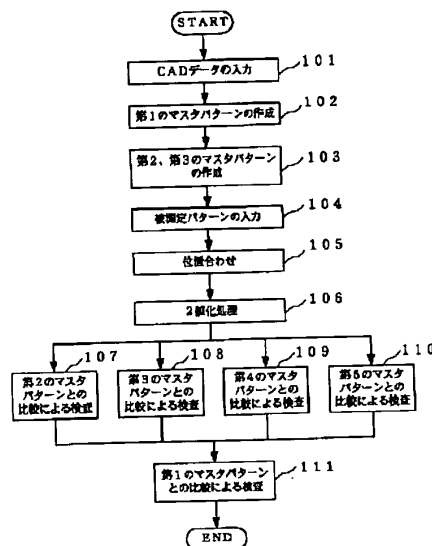
pattern and the measured pattern (110).

(57) Abstract:

COPYRIGHT: (C)1998,JPO

PROBLEM TO BE SOLVED: To fast and accurately detect the defects such as the scattering, the pinholes etc., by shrinking a 1st master pattern serving as a standard for the comparison with a measured pattern to produce a 2nd master pattern used for detection of th deficiency, the pinholes or the disconnection and als by expanding the 1st master pattern to produce a 3rd master pattern used for detection of the projections the scattering or the short circuits.

SOLUTION: A 2nd master pattern is expanded to secure an AND to a measured pattern for production of a 4t master pattern, and the 4th master pattern is expanded to secure an AND to the measured pattern for production of a new 4h master pattern. These operations ar repeated. Then an exclusive OR is secured between the 4th master pattern and the measured pattern (109). The logical inversion of a 3rd master pattern is performed and the 3rd master pattern is shrunk to secure an OR to the measured pattern for production of a 5th master pattern. The 5th master pattern is shrunk to secure a OR to the measured pattern for production o a new 5t master pattern. These operations are also repeated. The an exclusive OR is secured between the 5th maste



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-307917

(43)公開日 平成10年(1998)11月17日

(51)Int.Cl.⁶

識別記号

F I

G 0 6 T 7/00

G 0 6 F 15/62

4 0 5 A

G 0 1 N 21/88

G 0 1 N 21/88

E

G 0 6 F 15/70

3 3 0 E

審査請求 有 請求項の数3 O L (全 11 頁)

(21)出願番号 特願平9-119512

(22)出願日 平成9年(1997)5月9日

(71)出願人 000227836

日本アビオニクス株式会社

東京都港区西新橋三丁目20番1号

(72)発明者 井田 徹

東京都港区西新橋三丁目20番1号 日本アビオニクス株式会社内

(72)発明者 服部 新一

東京都港区西新橋三丁目20番1号 日本アビオニクス株式会社内

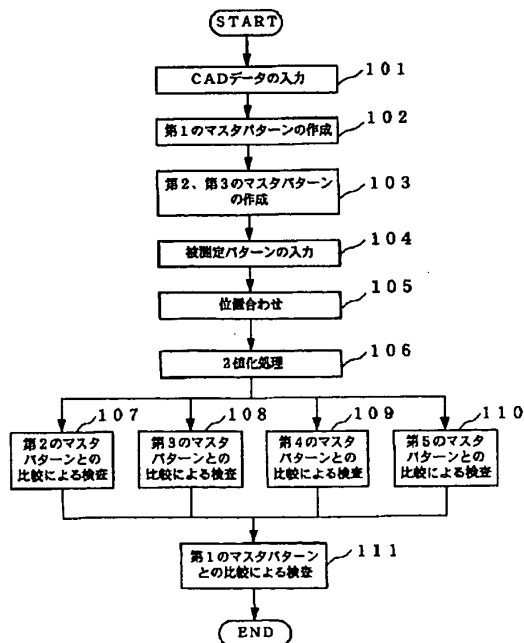
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 パターン検査方法及びパターン検査装置

(57)【要約】

【課題】 飛び散りやピンホールといった欠陥を高速に、かつ正しく検出する。

【解決手段】 第2のマスタパターンを膨張させ被測定パターンとの論理積をとり第4のマスタパターンとする。第4のマスタパターンを膨張させ被測定パターンとの論理積をとり新たな第4のマスタパターンとすることを繰り返す。このパターンと被測定パターンの排他的論理和をとる(ステップ109)。第3のマスタパターンの論理反転を求めた後に収縮させ被測定パターンとの論理和をとり第5のマスタパターンとする。第5のマスタパターンを収縮させ被測定パターンとの論理和をとり新たな第5のマスタパターンとすることを繰り返す。このパターンと被測定パターンの排他的論理和をとる(ステップ110)。



【特許請求の範囲】

【請求項1】 被測定パターンと比較するための基準となる第1のマスタパターンを収縮処理して、欠損、ピンホール又は断線検出用の第2のマスタパターンを作成すると共に、第1のマスタパターンを膨張処理して、突起、飛び散り又は短絡検出用の第3のマスタパターンを作成し、
 第2のマスタパターンを膨張処理して被測定パターンとの論理積を求め、この論理積の結果を第2、第3のマスタパターンと対応しない領域における飛び散り検出用の第4のマスタパターンとし、
 第4のマスタパターンを膨張処理して被測定パターンとの論理積を求め、この論理積の結果を新たな第4のマスタパターンとすることを所定回数繰り返す、
 第3のマスタパターンの論理反転を求めた後に収縮処理して被測定パターンとの論理和を求め、この論理和の結果を第2、第3のマスタパターンと対応しない領域におけるピンホール検出用の第5のマスタパターンとし、
 第5のマスタパターンを収縮処理して被測定パターンとの論理和を求め、この論理和の結果を新たな第5のマスタパターンとすることを所定回数繰り返す、
 被測定パターンと第4のマスタパターンの排他的論理和をとると共に被測定パターンと第5のマスタパターンの排他的論理和をとることにより、被測定パターンの欠陥を検出することを特徴とするパターン検査方法。

【請求項2】 被測定パターンと比較するための基準となる第1のマスタパターンを収縮処理して、欠損、ピンホール又は断線検出用の第2のマスタパターンを作成すると共に、第1のマスタパターンを膨張処理して、突起、飛び散り又は短絡検出用の第3のマスタパターンを作成するマスタパターン作成手段と、
 第2のマスタパターンを膨張処理して被測定パターンとの論理積を求め、この論理積の結果を第2、第3のマスタパターンと対応しない領域における飛び散り検出用の第4のマスタパターンとし、第4のマスタパターンを膨張処理して被測定パターンとの論理積を求め、この論理積の結果を新たな第4のマスタパターンとすることを所定回数繰り返す、第3のマスタパターンの論理反転を求めた後に収縮処理して被測定パターンとの論理和を求め、この論理和の結果を第2、第3のマスタパターンと対応しない領域におけるピンホール検出用の第5のマスタパターンとし、第5のマスタパターンを収縮処理して被測定パターンとの論理和を求め、この論理和の結果を新たな第5のマスタパターンとすることを所定回数繰り返す、被測定パターンと第4のマスタパターンの排他的論理和をとると共に被測定パターンと第5のマスタパターンの排他的論理和をとることにより、被測定パターンの欠陥を検出する画像処理手段とを有することを特徴とするパターン検査装置。

【請求項3】 請求項2記載のパターン検査装置におい

て、

前記画像処理手段は、前記第2のマスタパターンを膨張処理する第1の膨張回路と、
 第1の膨張回路の出力と被測定パターンの論理積をとる第1の論理積回路と、
 入力パターンを膨張処理する第2の膨張回路および第2の膨張回路の出力と被測定パターンの論理積をとる第2の論理積回路からなる1組が所定段数直列に接続され、初段の第2の膨張回路の入力に第1の論理積回路の出力が接続された第1の論理演算回路と、
 最終段の第2の論理積回路の出力と被測定パターンの排他的論理和をとる第1の排他的論理回路と、
 第3のマスタパターンを論理反転する反転回路と、
 反転回路から出力されたパターンを収縮処理する第1の収縮回路と、
 第1の収縮回路の出力と被測定パターンの論理和をとる第1の論理和回路と、
 入力パターンを収縮処理する第2の収縮回路および第2の収縮回路の出力と被測定パターンの論理和をとる第2の論理和回路からなる1組が所定段数直列に接続され、初段の第2の収縮回路の入力に第1の論理和回路の出力が接続された第2の論理演算回路と、
 最終段の第2の論理和回路の出力と被測定パターンの排他的論理和をとる第2の排他的論理回路とを備えるものであることを特徴とするパターン検査装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、グリーンシートあるいはフィルムキャリア等に形成されたパターンを検査する検査方法及び検査装置に関するものである。

【0002】

【従来の技術】従来より、IC、LSIの多ピン化要求に適した実装技術として、PGA (Pin Grid Array) が知られている。PGAは、チップを付けるパッケージのベースとしてセラミック基板を用い、リード線の取り出し位置まで配線を行っている。このセラミック基板を作るために、アルミナ粉末を液状のバインダで練り合わせてシート状にしたグリーンシートと呼ばれるものが使用され、このグリーンシート上に高融点の金属を含むペーストがスクリーン印刷される。そして、このようなシートを焼成することにより、グリーンシートを焼結させると共にペーストを金属化させる、いわゆる同時焼成が行われる。

【0003】また、その他の実装技術として、TAB (Tape Automated Bonding) が知られている。TAB法は、ポリイミド製のフィルムキャリア (TABテープ) 上に形成された銅箔パターンをICチップの電極に接合して外部リードとする。銅箔パターンは、フィルムに銅箔を接着剤で貼り付け、これをエッチングすることによって形成される。

【0004】このようなグリーンシートあるいはフィルムキャリアでは、パターン形成後に顕微鏡を用いて人間により目視でパターンの検査が行われる。ところが、微細なパターンを目視で検査するには、熟練を要すると共に、目を酷使するという問題点があった。そこで、目視検査に代わるものとして、フィルムキャリア等に形成されたパターンをTVカメラで撮像して自動的に検査する技術が提案されている（例えば、特開平6-273132号公報、特開平7-110863号公報）。ところが、特開平6-273132号公報、特開平7-110863号公報に開示された検査方法では、被測定パターンの全体にわたってマスタパターンとの比較による詳細な検査を繰り返すため、パターン検査に時間がかかってしまうという問題点があった。そこで、パターンの突起、欠損、断線あるいは短絡を高速に検査することができる検査方法が提案されている（特願平8-302807号）。

【0005】特願平8-302807号に開示された検査方法では、被測定パターンの設計時のCADデータあるいは被測定パターンの良品から作成した第1のマスタパターンを収縮処理して第2のマスタパターンを作成すると共に、第1のマスタパターンを膨張処理して第3のマスタパターンを作成する。被測定パターンと第2のマスタパターンの論理積をとると、この論理積の結果は被測定パターンに欠損や断線があるか否かによって異なり、被測定パターンと第3のマスタパターンの論理積をとると、この論理積の結果は、被測定パターンに突起や短絡があるか否かによって異なるので、被測定パターンの欠陥を高速に検査することができる。

【0006】しかし、この検査方法では、第2、第3のマスタパターンと対応しない領域に存在するパターンの残渣（以下、飛び散りと呼ぶ）やパターンの抜け（以下、ピンホールと呼ぶ）を検出することができないという問題点があった。つまり、図10に示すように、第2のマスタパターンM1及び第3のマスタパターンM2と対応しない被測定パターンPの領域に飛び散りF（画素「1」）やピンホールH（画素「0」）が存在しても、これらはマスタパターンM1、M2と重なっていないため、マスタパターンM1又はM2との論理積をとっても、これらが論理積の結果に現れることがないからである。

【0007】

【発明が解決しようとする課題】以上のように被測定パターンとマスタパターンの論理積をとって欠陥を検査する方法では、マスタパターンと対応しない領域に存在する飛び散りやピンホールといった欠陥を検出することができないという問題点があった。本発明は、上記課題を解決するためになされたもので、飛び散りやピンホールといった欠陥を高速に、かつ正しく検出することができる検査方法及び検査装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、請求項1に記載のように、被測定パターンと比較するための基準となる第1のマスタパターンを収縮処理して、欠損、ピンホール又は断線検出用の第2のマスタパターンを作成すると共に、第1のマスタパターンを膨張処理して、突起、飛び散り又は短絡検出用の第3のマスタパターンを作成し、第2のマスタパターンを膨張処理して被測定パターンとの論理積を求め、この論理積の結果を第2、第3のマスタパターンと対応しない領域における飛び散り検出用の第4のマスタパターンとし、第4のマスタパターンを膨張処理して被測定パターンとの論理積を求め、この論理積の結果を新たな第4のマスタパターンとすることを所定回数繰り返し、第3のマスタパターンの論理反転を求めた後に収縮処理して被測定パターンとの論理和を求め、この論理和の結果を第2、第3のマスタパターンと対応しない領域におけるピンホール検出用の第5のマスタパターンとし、第5のマスタパターンを収縮処理して被測定パターンとの論理和を求め、この論理和の結果を新たな第5のマスタパターンとすることを所定回数繰り返し、被測定パターンと第4のマスタパターンの排他的論理和をとると共に被測定パターンと第5のマスタパターンの排他的論理和をとることにより、被測定パターンの欠陥を検出するようにしたものである。第1のマスタパターンは、被測定パターンの設計時のCADデータあるいは被測定パターンの良品から作成される。第2のマスタパターンを膨張処理して被測定パターンとの論理積をとり、この結果を第4のマスタパターンとし、第4のマスタパターンを膨張処理して被測定パターンとの論理積をとり、この結果を新たな第4のマスタパターンとすることを所定回数繰り返すと、第4のマスタパターンは、飛び散り部分を除いて被測定パターンと同一となる。よって、被測定パターンと第4のマスタパターンの排他的論理和をとることにより、被測定パターンの飛び散りを検出することができる。また、第3のマスタパターンの論理反転を求めた後に収縮処理して被測定パターンとの論理和をとり、この結果を第5のマスタパターンとし、第5のマスタパターンを収縮処理して被測定パターンとの論理和をとり、この結果を新たな第5のマスタパターンとすることを所定回数繰り返すと、第5のマスタパターンは、ピンホール部分を除いて被測定パターンと同一となる。よって、被測定パターンと第5のマスタパターンの排他的論理和をとることにより、被測定パターンのピンホールを検出することができる。

【0009】また、請求項2に記載のように、被測定パターンと比較するための基準となる第1のマスタパターンを収縮処理して、欠損、ピンホール又は断線検出用の第2のマスタパターンを作成すると共に、第1のマスタパターンを膨張処理して、突起、飛び散り又は短絡検出用の第3のマスタパターンを作成するマスタパターン作

成手段と、第2のマスタパターンを膨張処理して被測定パターンとの論理積を求め、この論理積の結果を第2、第3のマスタパターンと対応しない領域における飛び散り検出用の第4のマスタパターンとし、第4のマスタパターンを膨張処理して被測定パターンとの論理積を求め、この論理積の結果を新たな第4のマスタパターンとすることを所定回数繰り返し、第3のマスタパターンの論理反転を求めた後に収縮処理して被測定パターンとの論理和を求め、この論理和の結果を第2、第3のマスタパターンと対応しない領域におけるピンホール検出用の第5のマスタパターンとし、第5のマスタパターンを収縮処理して被測定パターンとの論理和を求め、この論理和の結果を新たな第5のマスタパターンとすることを所定回数繰り返し、被測定パターンと第4のマスタパターンの排他的論理和をとると共に被測定パターンと第5のマスタパターンの排他的論理和をとることにより、被測定パターンの欠陥を検出する画像処理手段とを有するものである。

【0010】また、請求項3に記載のように、画像処理手段は、第2のマスタパターンを膨張処理する第1の膨張回路と、第1の膨張回路の出力と被測定パターンの論理積をとる第1の論理積回路と、入力パターンを膨張処理する第2の膨張回路および第2の膨張回路の出力と被測定パターンの論理積をとる第2の論理積回路からなる1組が所定段数直列に接続され、初段の第2の膨張回路の入力に第1の論理積回路の出力が接続された第1の論理演算回路と、最終段の第2の論理積回路の出力と被測定パターンの排他的論理和をとる第1の排他的論理回路と、第3のマスタパターンを論理反転する反転回路と、反転回路から出力されたパターンを収縮処理する第1の収縮回路と、第1の収縮回路の出力と被測定パターンの論理和をとる第1の論理和回路と、入力パターンを収縮処理する第2の収縮回路および第2の収縮回路の出力と被測定パターンの論理和をとる第2の論理和回路からなる1組が所定段数直列に接続され、初段の第2の収縮回路の入力に第1の論理和回路の出力が接続された第2の論理演算回路と、最終段の第2の論理和回路の出力と被測定パターンの排他的論理和をとる第2の排他的論理回路とを備えるものである。

【0011】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1は本発明の実施の形態となるパターン検査方法を示すフローチャート図、図2はこの検査方法で用いるパターン検査装置のブロック図である。図2において、1はグリーンシート、2はグリーンシート1を載せるX-Yテーブル、3はグリーンシート1を撮像するラインセンサカメラ、4は被測定パターンの欠陥を検出して、この欠陥の位置を示すアドレス情報を出力する第1の画像処理装置、5はこのアドレス情報により欠陥を含む所定の領域について、被測定パタ

ーンとマスタパターンの誤差を求め、被測定パターンを検査する第2の画像処理装置、6は装置全体を制御するホストコンピュータ、7は検査結果を表示するための表示装置である。

【0012】最初に、検査の前に予め作成しておくマスタパターンについて説明する。ホストコンピュータ6は、CAD (Computer Aided Design) システムによって作成され例えば磁気ディスクに書き込まれたグリーンシートの設計値データ (以下、CADデータとする) を図示しない磁気ディスク装置によって読み出す (図1ステップ101)。

【0013】続いて、読み出したCADデータからパターンのエッジデータを抽出する。エッジデータは、パターンエッジを示す画素「1」の集合である。そして、パターンエッジを示す画素「1」で囲まれた領域を「1」で塗りつぶし、この画素「1」で塗りつぶされたパターン (パターン以外の背景は「0」) を検査の基準となる第1のマスタパターンとする (ステップ102)。

【0014】なお、上記CADデータに基づいて、グリーンシート1が作製されシート1上にパターンがスクリーン印刷されることは言うまでもない。次に、ホストコンピュータ6は、第1のマスタパターンから欠損、ピンホール又は断線検出用の第2のマスタパターン、突起、飛び散り又は短絡検出用の第3のマスタパターンを以下のように作成する (ステップ103)。図3は第2、第3のマスタパターンの作成方法を説明するための図であり、第1のマスタパターンの一部を示している。

【0015】まず、図3(a)に示すように、第1のマスタパターンをその中心線と直角の方向に収縮させて、第2のマスタパターンM1を作成する。これは、第1のマスタパターンの両エッジを示す対向する直線A1とA4 (中心線はL1) の間隔、及びA2とA3 (中心線はL2) の間隔を狭くして第1のマスタパターンを細らせることにより作成することができる。

【0016】この第2のマスタパターンM1による欠陥検出の精度は、第1のマスタパターンをどれだけ収縮させるかによって決まる。例えば、第1のマスタパターンの幅の1/5を超える欠損が存在するときに欠陥と認識したい場合は、第2のマスタパターンM1の幅を第1のマスタパターンの幅の3/5となるように縮小すればよい。検出精度は、画素単位や実際の寸法で決めてもよいことは言うまでもない。こうして、欠損、ピンホール又は断線検出用の第2のマスタパターンM1が作成される。

【0017】続いて、図3(b)に示すように、第1のマスタパターンをその中心線と直角の方向に膨張させて、第3のマスタパターンM2を作成する。これは、第1のマスタパターンの両エッジを示す対向する直線A5とA8 (中心線はL3)、A6とA7 (中心線はL4)、A9とA12 (中心線はL5) 及びA10とA1

1 (中心線はL6)の間隔をそれぞれ広くして第1のマスタパターンを太らせることにより作成することができる。

【0018】ただし、実際に第3のマスタパターンM2になるのは、直線A5～A8からなるマスタパターンMaと、直線A9～A12からなるマスタパターンMbをそれぞれ膨張処理して生じた2つのパターンに挟まれた領域(パターンが存在しない基材の部分)である。つまり、膨張処理した結果を論理反転したものである。

【0019】この第3のマスタパターンM2による欠陥検出の精度は、第1のマスタパターンをどれだけ膨張させるかによって決まる。例えば、第1のマスタパターンの幅の1/5を超える欠損が存在するときに欠陥と認識したい場合は、第3のマスタパターンM2の幅を第1のマスタパターンの幅の7/5となるように拡大すればよい。また、画素単位や実際の寸法で検出精度を決めてもよいことは第2のマスタパターンと同様である。こうして、突起、飛び散り又は短絡検出用の第3のマスタパターンM2が作成される。

【0020】なお、図3では、説明を簡単にするために、パターンエッジを意味する直線のみで第1のマスタパターンを表し、パターンエッジを意味する直線とその内側を意味する斜線で第2、第3のマスタパターンを表しているが、実際の第1～第3のマスタパターンは、パターンエッジとその内側が画素「1」で塗りつぶされたものである。また、本実施の形態では、後述する位置決めマークを位置合わせに使っているので、位置決めマークの部分については膨張、収縮処理を実施しない。

【0021】次に、被測定パターンの検査について説明する。まず、グリーンシート1をカメラ3によって撮像する。そして、第1の画像処理装置4は、カメラ3から出力された濃淡画像をデジタル化して、図示しない内部の画像メモリにいったん記憶する(ステップ104)。カメラ3は、X方向に画素が配列されたラインセンサなので、X-Yテーブル2又はカメラ3をY方向に移動させることにより(本実施の形態では、テーブル2がY方向に移動する)、2次元の画像データが画像メモリに記憶される。

【0022】次いで、被測定パターンとマスタパターンの位置合わせを行う(ステップ105)。図4はこの位置合わせ方法を説明するための図である。まず、第1の画像処理装置4は、画像メモリに記憶した被測定パターンP1において、CADデータ作成の際にあらかじめ設けられた位置決めマークaを図4(a)に示すように3箇所以上指定し、ホストコンピュータ6から送出された第2のマスタパターンM1において、これらに該当する位置決めマークbを図4(b)のように指定する。

【0023】そして、被測定パターンP1とマスタパターンM1の各々について、X方向に並んだ2つの位置決めマーク間の距離DXp、DXmを求める。なお、マ

ク間距離は、2つの位置決めマークの重心間の距離である。

【0024】続いて、求めたマーク間距離から拡大/縮小率(DXp/DXm)を算出し、この拡大/縮小率によりマスタパターンのマーク間距離が被測定パターンのマーク間距離と一致するように、マスタパターンM1を全方向に拡大又は縮小する。次いで、被測定パターンP1と拡大/縮小補正したマスタパターンM1'のそれぞれについて、Y方向に並んだ2つの位置決めマーク間の距離DYp、DYmを図4(c)、(d)のように求める。

【0025】そして、被測定パターンのマーク間距離がマスタパターンのマーク間距離と一致するように、ラインセンサカメラ3とグリーンシート1(X-Yテーブル2)の相対速度を調整して、シート1を再度撮像する。Y方向の画像分解能は、カメラ3の画素の大きさと上記相対速度によって決定される。したがって、X-Yテーブル2あるいはラインセンサカメラ3の移動速度を変えることにより、Y方向の画像分解能を調整し、マーク間距離を一致させることができる。

【0026】次に、こうして撮像することによって得られた被測定パターンP1'の位置決めマーク位置と拡大/縮小補正したマスタパターンM1'の位置決めマーク位置により、図4(e)のようにパターンP1'、M1'の角度ずれθを求め、この角度ずれがなくなるようにマスタパターンM1'を回転させる。最後に、互いのマーク位置が一致するように、マスタパターンM1'と被測定パターンP1'の位置を合わせる。

【0027】こうして、マスタパターンと被測定パターンの位置を合わせることができ、後述する検査において被測定パターン上の位置とマスタパターン上の位置を対応付けることができる。以上のように本実施の形態では、ラインセンサカメラ3の画素数によって決定されるX方向の画像分解能に対し、カメラ3の取り込み速度を変えてY方向の画像分解能を調整することにより、縦(Y)、横(X)の比率を1:1にすることができる。

【0028】実際の検査においては、縦、横の比率が完全な1:1にならない場合がある。例えば、グリーンシートにスクリーン印刷されるパターンは、印刷される方向により伸びた状態で印刷されることがある。よって、良品ではあっても規格に対して許容できる範囲内の伸びが存在するパターンでは、縦、横の比率が完全な1:1とはならない。本実施の形態では、ラインセンサカメラ3の取り込み速度を変えてY方向のマーク間距離を一致させるため、許容範囲内で縦、横のスケールが異なる被測定パターンをマスタパターンに一致させることができ、形成時のパターン位置の変化に対して自動的にパターンの位置補正を行うことができる。

【0029】なお、第1のマスタパターンから作成した第2のマスタパターンM1と第3のマスタパターンM2

間の位置関係は分かっているため、マスタパターンM1、M2と被測定パターンの位置合わせは上記のように1回行えばよい。

【0030】続いて、画像処理装置4は、位置合わせを行った後の被測定パターンの濃淡画像を2値化する(ステップ106)。被測定パターンの濃淡画像データには、パターンとそれ以外の背景(基材)とが含まれているが、パターンと背景には濃度差があるので、パターンの濃度値と背景の濃度値の間の値をしきい値として設定すれば、パターンは「1」に変換され、背景は「0」に変換される。こうして、パターンエッジとその内側が画素「1」で塗りつぶされた被測定パターンを得ることができる。

【0031】次に、画像処理装置4は、第2、第3のマスタパターン及び後述する第4、第5のマスタパターンの各々と2値化された被測定パターンを比較して、被測定パターンを検査する(ステップ107~110)。これらの検査は、後述するハードウェアによって同時に実施される。

【0032】まず、第2のマスタパターンとの比較による検査(ステップ107)について説明する。図5はこの検査方法を説明するための図である。なお、図5では、第2のマスタパターンM1をパターンエッジを意味する直線とその内側を意味する斜線で表し、被測定パターンPをパターンエッジを意味する直線とその内側を意味する梨地で表している。

【0033】画像処理装置4内の図示しない論理積回路は、被測定パターンPと第2のマスタパターンM1の論理積をとる。この論理積の結果は、被測定パターンPに欠損や断線等があるか否かによって異なる。被測定パターンPに欠損や断線等がない場合は、マスタパターンM1と対応する領域(図5において、パターンM1と重なっている領域)の被測定パターンPの画素が全て「1」なので、マスタパターンM1と対応する領域における論理積の結果が全て「1」となる。

【0034】これに対し、被測定パターンPに欠損(画素「0」)が存在する場合は、マスタパターンM1と対応する領域において論理積の結果が「0」となる画素が存在することになる。これは、マスタパターンM1と対応する領域にピンホールや断線が存在する場合も同様である。こうして、被測定パターンの欠損、ピンホールあるいは断線を検出することができる。そして、画像処理装置4は、論理積の結果が「0」となって欠陥と認識した位置(図5では、Cの位置)を記憶する。

【0035】次に、第3のマスタパターンとの比較による検査(ステップ108)について説明する。図6はこの検査方法を説明するための図である。なお、図6では、第3のマスタパターンM2をパターンエッジを意味する直線とその内側を意味する斜線で表し、被測定パターンPをパターンエッジを意味する直線とその内側を意

味する梨地で表している。

【0036】画像処理装置4内の図示しない論理積回路は、被測定パターンPと第3のマスタパターンM2の論理積をとる。この論理積の結果は、被測定パターンPに突起や短絡等があるか否かによって異なる。被測定パターンPに突起や短絡等がない場合は、マスタパターンM2と対応する領域(図6において、パターンM2と重なっている領域)の被測定パターンPの画素が全て「0」なので、マスタパターンM2と対応する領域における論理積の結果が全て「0」となる。

【0037】これに対し、被測定パターンPに突起(画素「1」)が存在する場合は、マスタパターンM2と対応する領域において論理積の結果が「1」となる画素が存在することになる。同様に2本の被測定パターンPが短絡していると、マスタパターンM2と対応する領域において論理積の結果が「1」となる画素が存在する。これは、マスタパターンM2と対応する領域に飛び散りが存在する場合も同様である。

【0038】こうして、被測定パターンの突起、飛び散りあるいは短絡を検出することができる。そして、画像処理装置4は、論理積の結果が「1」となって欠陥と認識した位置(図6では、D、Eの位置)を記憶する。

【0039】次に、第4のマスタパターンとの比較による検査(ステップ109)について説明する。図7はこの検査方法を説明するための図、図8は画像処理装置4内に設けられた第4のマスタパターンとの比較による検査を実行する検査部と後述する第5のマスタパターンとの比較による検査を実行する検査部のブロック図である。

【0040】図7(a)に示す被測定パターンPにおいて、第2のマスタパターンM1に対応する領域と第3のマスタパターンM2に対応する領域との間に飛び散りFが存在するとき、上記の検査では飛び散りFを検出できない。第4のマスタパターンとの比較検査を実行する検査部となる膨張回路11-1~11-n、論理積回路12-1~12-n、排他的論理和回路13は、このような飛び散りFを検出するためのものである。

【0041】第1の膨張回路11-1は、第2のマスタパターンM1をその中心線と直角の方向に膨張させる(図7(b))。このとき、膨張回路11-1は、マスタパターンM1を所定の画素分膨張させる。第1の論理積回路12-1は、膨張回路11-1の出力と被測定パターンPの論理積をとる。

【0042】ここでは、膨張処理後のマスタパターンM1と対応する領域(図7(b)において、パターンM1と重なっている領域)の被測定パターンPの画素が全て「1」なので、膨張処理後のマスタパターンM1と対応する領域における論理積の結果が全て「1」となる。したがって、この論理積の結果は、膨張処理後のマスタパターンM1と同一であり、これを第4のマスタパターン

M3とする(図7(c))。

【0043】第2の膨張回路11-2~11-n、第2の論理積回路12-2~12-nは、膨張回路と論理積回路からなる1組が所定段数(本実施の形態では、 $n-1$)直列に接続されたものであり、第4のマスタパターンM3を膨張処理して被測定パターンPとの論理積を求め、この論理積の結果を新たな第4のマスタパターンM3とすることを所定回数繰り返す。

【0044】例えば、膨張回路11-2は、論理積回路12-1の出力、つまり第4のマスタパターンM3をその中心線Lと直角の方向に膨張させる(図7(d))。このとき、膨張回路11-2は、マスタパターンM3を所定の画素分膨張させる。そして、論理積回路12-2は、膨張回路11-2の出力と被測定パターンPの論理積をとる。

【0045】ここでは、膨張処理後のマスタパターンM3と対応する領域(図7(d)において、パターンM3と重なっている領域)の被測定パターンPの画素が全て「1」なので、膨張処理後のマスタパターンM3と対応する領域における論理積の結果が全て「1」となる。したがって、この論理積の結果は、膨張処理後のマスタパターンM3と同一であり、これを新たな第4のマスタパターンM3とする(図7(e))。

【0046】このような処理が以降の膨張回路及び論理積回路によって繰り返されると、第4のマスタパターンM3の大きさが被測定パターンPの大きさに近づき、ついには、図7(f)、(g)に示すように被測定パターンPと同一となる(ただし、被測定パターンPに飛び散りFが存在する場合は、完全な同一とはならない)。そして、これ以降に同様の処理が繰り返されても、第4のマスタパターンM3が被測定パターンPより大きくなることはない。

【0047】これは、被測定パターンPのエッジより外側の画素が「0」のため、図7(g)のマスタパターンM4を膨張させて被測定パターンPと論理積をとっても、被測定パターンPのエッジより外側の論理積の結果が「1」になることはないからである。なお、被測定パターンPには飛び散りFが存在するが、飛び散りFは被測定パターンPとつながっていないので、第4のマスタパターンM3に飛び散りFによる画素「1」が現れることはない。

【0048】次いで、第1の排他的論理回路13は、論理積回路12-nの出力、つまり最終的な第4のマスタパターンM3と被測定パターンPの排他的論理和をとる。この排他的論理和の結果は、被測定パターンPに飛び散りがあるか否かによって異なる。被測定パターンPに飛び散りがない場合は、被測定パターンPとマスタパターンM3が同一なので、排他的論理和の結果が全て「0」となる。

【0049】これに対し、被測定パターンPに飛び散り

が存在する場合は、被測定パターンPとマスタパターンM3に相違があり、排他的論理和の結果が「1」となる画素が存在することになる。こうして、第2、第3のマスタパターンM1、M2と対応しない領域に存在する飛び散りを検出することができる。そして、画像処理装置4は排他的論理和の結果が「1」となって欠陥と認識した位置(図7ではFの位置)を記憶する。

【0050】次に、第5のマスタパターンとの比較による検査(ステップ110)について説明する。図9はこの検査方法を説明するための図である。図9(a)に示す被測定パターンPにおいて、第2のマスタパターンM1に対応する領域と第3のマスタパターンM2に対応する領域との間にピンホールHが存在するとき、上記の検査ではピンホールHを検出できない。

【0051】第5のマスタパターンとの比較検査を実行する検査部となる反転回路14、収縮回路15-1~15-n、論理和回路16-1~16-n、排他的論理和回路17は、このようなピンホールHを検出するためのものである。反転回路14は、第3のマスタパターンM2を論理反転させる。これにより、画素「1」が「0」となり画素「0」が「1」となるので、マスタパターンM2を論理反転させた結果は、パターンエッジとその内側が画素「1」で塗りつぶされた図9(b)のようなパターンM4となる。

【0052】第1の収縮回路15-1は、反転回路14の出力、つまりパターンM4をその中心線Lと直角の方向に収縮させる(図9(c))。このとき、収縮回路15-1は、パターンM4を所定の画素分収縮させる。そして、第1の論理和回路16-1は、収縮回路15-1の出力と被測定パターンPの論理和をとる。

【0053】この論理和の結果は、収縮処理後のパターンM4と同一であり、これを第5のマスタパターンM5とする(図9(d))。第2の収縮回路15-2~15-n、第2の論理和回路16-2~16-nは、収縮回路と論理和回路からなる1組が所定段数(本実施の形態では、 $n-1$)直列に接続されたものであり、第5のマスタパターンM5を収縮処理して被測定パターンPとの論理和を求め、この論理和の結果を新たな第5のマスタパターンM5とすることを所定回数繰り返す。

【0054】例えば、収縮回路15-2は、論理和回路16-1の出力、つまり第5のマスタパターンM5をその中心線Lと直角の方向に収縮させる(図9(e))。このとき、収縮回路15-2は、マスタパターンM5を所定の画素分収縮させる。そして、論理和回路16-2は、収縮回路15-2の出力と被測定パターンPの論理和をとる。

【0055】この論理和の結果は、収縮処理後のマスタパターンM5と同一であり、これを新たな第5のマスタパターンM5とする(図9(f))。このような処理が以降の収縮回路及び論理和回路によって繰り返される

と、第5のマスタパターンM5の大きさが被測定パターンPの大きさに近づき、ついには、図9(g)に示すように被測定パターンPと同一となる(ただし、被測定パターンPにピンホールHが存在する場合は、完全な同一とはならない)。そして、これ以降に同様の処理が繰り返されても、第5のマスタパターンM5が被測定パターンPより小さくなることはない。

【0056】これは、被測定パターンPが画素「1」で塗りつぶされているため、図9(g)のマスタパターンM5を収縮させて被測定パターンPと論理和をとっても、被測定パターンPのエッジより内側の論理和の結果が「0」になることはないからである。なお、被測定パターンPにはピンホールHが存在するが、ピンホールHは被測定パターンPのエッジとつながっていないので、第5のマスタパターンM5にピンホールHによる画素「0」が現れることはない。

【0057】次いで、第2の排他的論理回路17は、論理和回路16-nの出力、つまり最終的な第5のマスタパターンM5と被測定パターンPの排他的論理和をとる。この排他的論理和の結果は、被測定パターンPにピンホールHがあるか否かによって異なる。被測定パターンPにピンホールがない場合は、被測定パターンPとマスタパターンM5が同一なので、排他的論理和の結果が全て「0」となる。

【0058】これに対し、被測定パターンPにピンホールHが存在する場合は、被測定パターンPとマスタパターンM5に相違があり、排他的論理和の結果が「1」となる画素が存在することになる。こうして、第2、第3のマスタパターンM1、M2と対応しない領域に存在するピンホールHを検出することができる。そして、画像処理装置4は、排他的論理和の結果が「1」となって欠陥と認識した位置(図9ではHの位置)を記憶する。

【0059】以上のような検査を被測定パターン全体について行った後、画像処理装置4は記憶した欠陥の位置をアドレス情報として出力する。第2の画像処理装置5は、第1の画像処理装置4から送られたアドレス情報に基づき、検出された欠陥を中心とする所定の大きさの領域について、被測定パターンと上記第1のマスタパターンをソフトウェア処理で比較して誤差を求め、被測定パターンの検査を行う(ステップ111)。

【0060】第2～第5のマスタパターンの各々と被測定パターンとの比較検査は、ハードウェアで実現でき、検出した欠陥(正確には、欠陥の候補)を含む所定の領域だけ、処理時間のかかる被測定パターンと第1のマスタパターンの比較によって検査するので、被測定パターンの欠陥を従来よりも高速に検査することができる。なお、本実施の形態では、CADデータから第1のマスタ

パターンを作成しているが、良品と判定された被測定パターンを撮像し、この被測定パターンから第1のマスタパターンを作成するようにしてもよい。また、本実施の形態では、各マスタパターンを中心線と直角の方向に収縮、膨張処理しているが、全方向に収縮、膨張処理してもよい。

【0061】

【発明の効果】本発明によれば、請求項1に記載のように、欠陥、ピンホール又は断線検出用の第2のマスタパターンから第4のマスタパターンを作成し、突起、飛び散り又は短絡検出用の第3のマスタパターンから第5のマスタパターンを作成して、被測定パターンと第4のマスタパターンの排他的論理和をとると共に被測定パターンと第5のマスタパターンの排他的論理和をとることにより、第2、第3のマスタパターンと対応しない領域に存在する飛び散りやピンホールといった欠陥を正しく検出することができる。その結果、被測定パターンを高速に、かつ正しく検査することができる。

【0062】また、請求項2に記載のように、パターン検査装置をマスタパターン作成手段及び画像処理手段から構成することにより、被測定パターンを高速に、かつ正しく検査することができるパターン検査装置を実現することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態となるパターン検査方法を示すフローチャート図である。

【図2】 パターン検査装置のブロック図である。

【図3】 第2、第3のマスタパターンの作成方法を説明するための図である。

【図4】 被測定パターンとマスタパターンの位置合わせ方法を説明するための図である。

【図5】 第2のマスタパターンとの比較による検査方法を説明するための図である。

【図6】 第3のマスタパターンとの比較による検査方法を説明するための図である。

【図7】 第4のマスタパターンとの比較による検査方法を説明するための図である。

【図8】 第4、第5のマスタパターンとの比較による検査を実行する検査部のブロック図である。

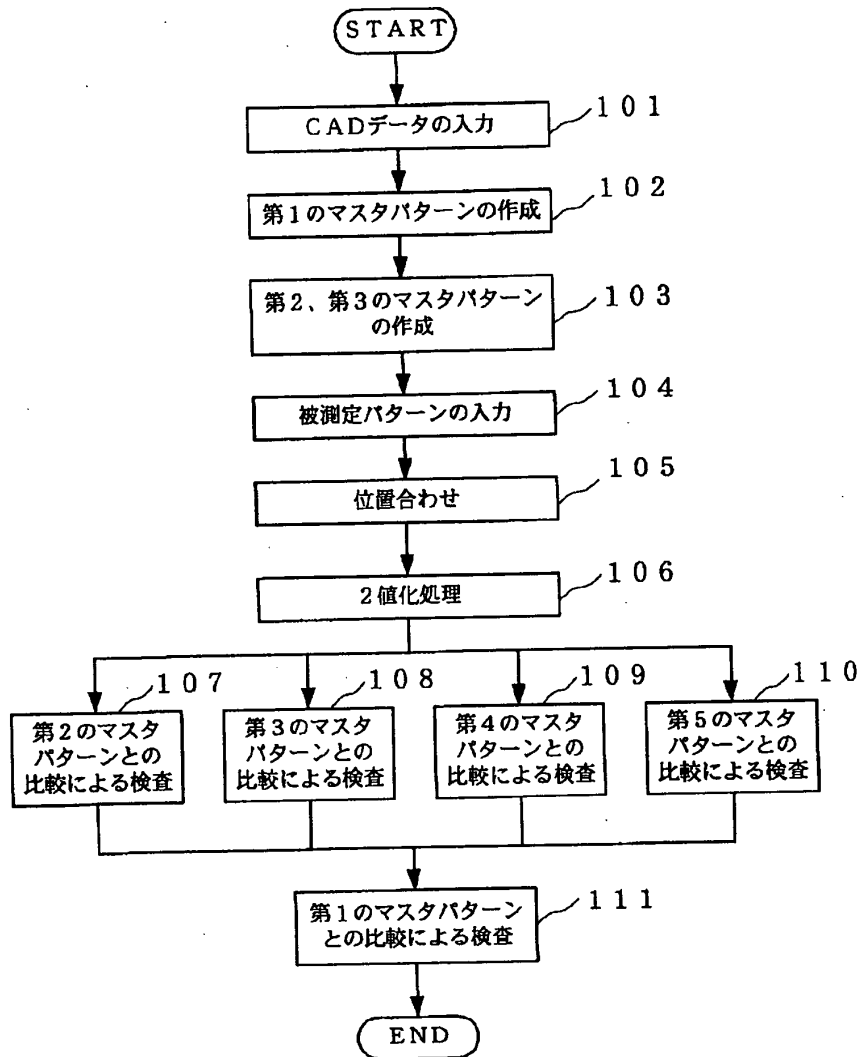
【図9】 第5のマスタパターンとの比較による検査方法を説明するための図である。

【図10】 従来の検査方法を説明するための図である。

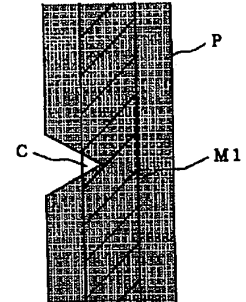
【符号の説明】

1…グリーンシート、2…X-Yテーブル、3…ラインセンサカメラ、4…第1の画像処理装置、5…第2の画像処理装置、6…ホストコンピュータ、7…表示装置。

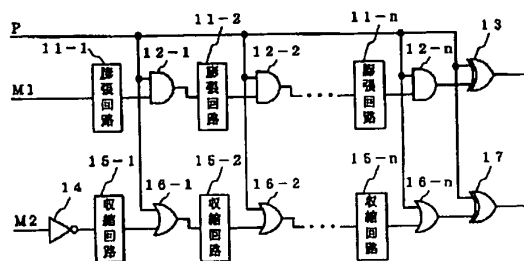
【図1】



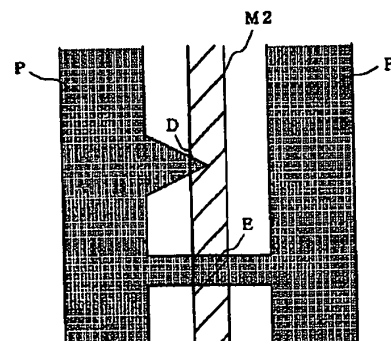
【図5】



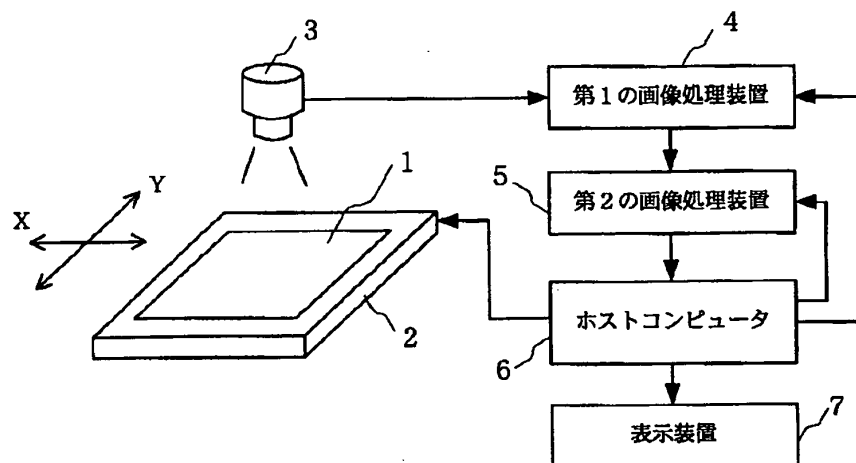
【図8】



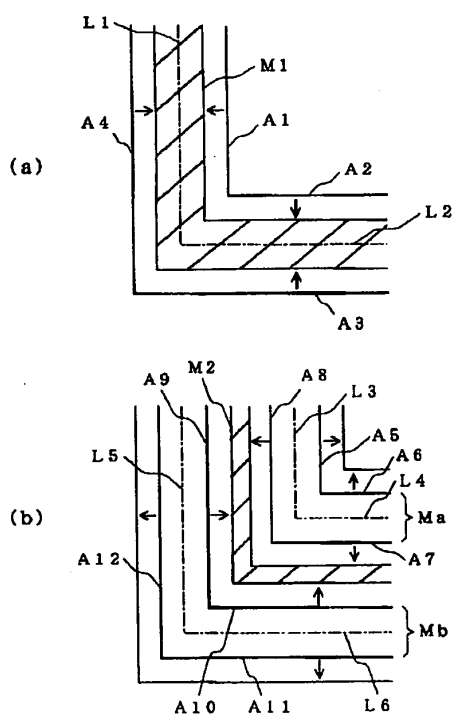
【図6】



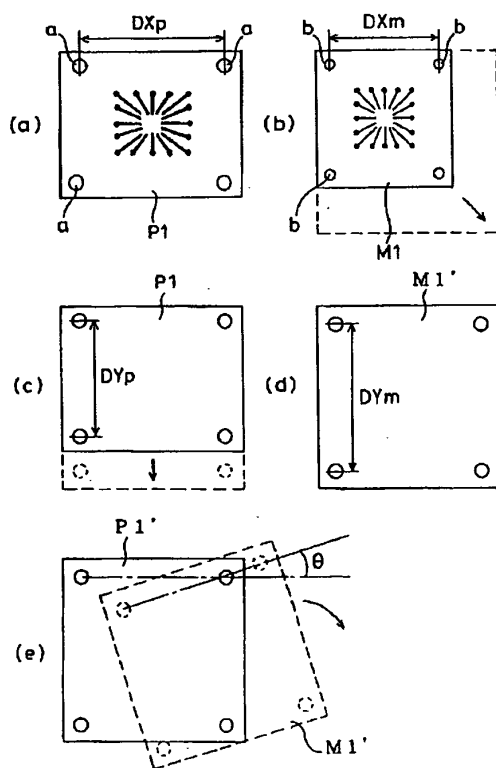
【図2】



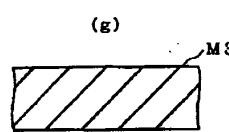
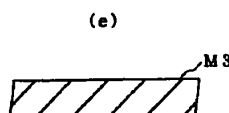
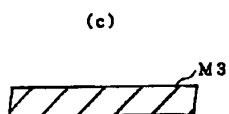
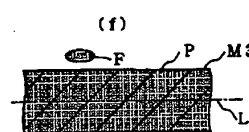
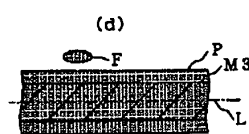
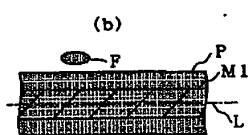
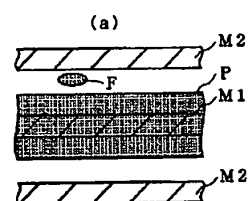
【図3】



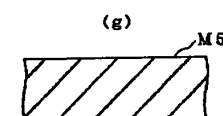
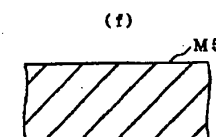
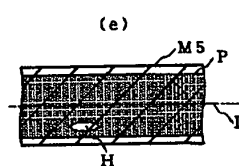
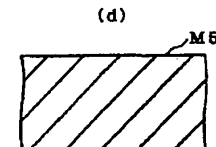
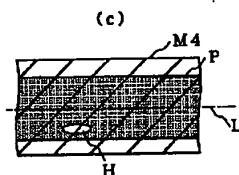
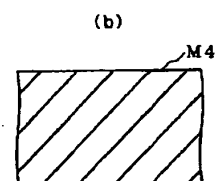
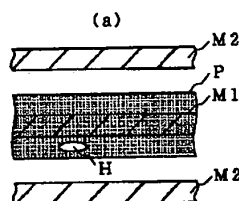
【図4】



【図7】



【図9】



【図10】

